

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273558

(43) 公開日 平成7年(1995)10月20日

(51) Int.Cl.⁶

H 0 3 F 1/02

識別記号

片内整理番号

7509-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平6-63636

(22) 出願日 平成6年(1994)3月31日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 米丸 政司

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

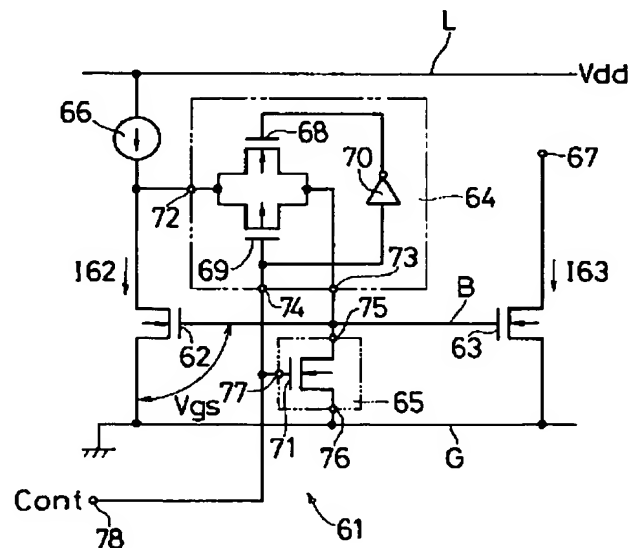
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 不動作時には電流が流れず、電圧降下を生じない半導体集積回路を提供する。

【構成】 複数のNMOS 62, 63によるカレントミラー回路と、複数のNMOS 68, 69とインバータ70による第1スイッチ回路64と、NMOS 71による第2スイッチ回路65とで半導体集積回路61が形成される。第1スイッチ回路64が導通し、第2スイッチ回路65が遮断されると、半導体集積回路61は動作状態となるが、第1スイッチ回路64は電流経路には挿入されていないから電流は流れず、電圧降下は生じない。第1スイッチ回路64が遮断され、第2スイッチ回路65が導通すると、半導体集積回路61は不動作状態となるが、このとき半導体集積回路61中の電流は0で、電力消費は生じない。



1

【特許請求の範囲】

【請求項 1】 単一の半導体基板上に、NチャンネルFETのゲート電極にバイアス電圧を入力することによって前記FETのドレイン電極から定電流を出力する定電流回路と、前記バイアス電圧を接地電位に短絡させるスイッチとを形成することを特徴とする半導体集積回路。

【請求項 2】 単一の半導体基板上に、PチャンネルFETのゲート電極にバイアス電圧を入力することによって前記FETのドレイン電極から定電流を出力する定電流回路と、前記バイアス電圧を電源電位に短絡させるスイッチとを形成することを特徴とする半導体集積回路。

【請求項 3】 単一の半導体基板上に、MOSオペアンプ回路を形成し、該MOSオペアンプ回路は、NチャンネルFETのゲート電極にバイアス電圧を入力することによって前記FETのドレイン電極から定電流を出力する定電流回路と、前記バイアス電圧を接地電位に短絡させるスイッチとを含むことを特徴とする半導体集積回路。

【請求項 4】 単一の半導体基板上に、MOSオペアンプ回路を形成し、該MOSオペアンプ回路は、PチャンネルFETのゲート電極にバイアス電圧を入力することによって前記FETのドレイン電極から定電流を出力する定電流回路と、前記バイアス電圧を電源電位に短絡させるスイッチとを含むことを特徴とする半導体集積回路。

【請求項 5】 予め定めるプログラム命令を記憶する記憶手段と、前記プログラム命令を順次実行する制御手段とを備え、前記制御手段は、前記プログラム命令に基づいて前記スイッチを導通／遮断する制御信号を出力することを特徴とする請求項 1, 2, 3 または 4 に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、定電流回路を含む半導体集積回路に関し、さらに詳しくはMOS (Metal Oxide Semiconductor) オペアンプ回路などに好適に実施される半導体集積回路に関する。

【0002】

【従来の技術】 図9は、従来技術による半導体集積回路1の構成を示す回路図である。半導体集積回路1は、たとえば「超LSIのためのアナログ集積回路技術・下巻P. 285 (培風館)」に記載されている。半導体集積回路1は、対をなすNチャンネルMOSFET (以下、「NMOS」という) 2, 3を含んで形成される。一方のNMOS2のドレインとゲート間は短絡され、ゲート-ソース間電圧 V_{gs} はNMOS2が飽和モードに保たれるレベルに設定される。NMOS2のドレインと電源ラインL間には、図示しない抵抗などで実現される基準電流源4が接続され、NMOS2, 3のゲートとソースは、バイアスラインBと接地ラインGとにそれぞれ共通

2

に接続され、カレントミラー回路が形成されている。

【0003】 これによって基準電流側のNMOS2に基準電流 I_2 が流れると、カレントミラーであるNMOS3には、前記基準電流 I_2 に対応して、ゲート幅と長さの比に応じた定電流 I_3 が定電流出力端子5からNMOS3の方向に流入する。半導体集積回路1は、電源電圧 V_{dd} が電源ラインLに印加されている間は、常に電流 $I_2 + I_3$ が流れ、電力を消費する。

【0004】 図9に示されている半導体集積回路1は、一対のNMOS2, 3で構成されているけれども、前記文献P. 301に記載されているように、PチャンネルMOSFET (以下、「PMOS」という) でも構成することができる。

【0005】 図10は、他の従来例による半導体集積回路6の構成を示す回路図である。半導体集積回路6は一対のPMOS7, 8を含んで構成され、一方のPMOS7のドレインとソース間は短絡され、ゲート-ソース間電圧 $-V_{gs}$ は、PMOS7が飽和モードに保たれるレベルに設定されている。一方のPMOS7のドレインと接地ラインG間には、図示しない抵抗などで実現される基準電流源9が接続され、PMOS7, 8のゲートとソースは、バイアスラインBと電源ラインLとにそれぞれ共通に接続され、カレントミラー回路が形成されている。

【0006】 したがって基準電流側のPMOS7に基準電流 I_7 が流れると、カレントミラーであるPMOS8には、前記基準電流 I_7 に対応して、ゲート幅と長さの比に応じた定電流 I_8 が電源ラインLから定電流出力端子10の方向に流入する。この半導体集積回路6は、電源電圧 V_{dd} が電源ラインLに印加されている間は、常に電流 $I_7 + I_8$ が流れ、電力を消費する。

【0007】 図9に示されている半導体集積回路1と、図10に示されている半導体集積回路6とは、使用されているトランジスタの極性が逆で、図示しない負荷が電源ラインL側に接続されるか、接地ラインG側に接続されるかが異なるけれども、動作は同じである。このような半導体集積回路1, 6は、たとえばオペアンプなどの定電流駆動電源として、広く使用されている。

【0008】 図11は、従来技術によるオペアンプ11の電氣的構成を示す回路図である。オペアンプ11は、入力段12と、出力段13と、カレントミラー回路14とを含み、これらの回路ブロックは図示しない共通基板上に一体的にモノリシック形成される。カレントミラー回路14は、基準電流側のNMOS16と、カレントミラーのNMOS17, 18とを含んで形成され、NMOS16のドレインには、図示しない抵抗などで実現される基準電流源15が接続されている。これによってNMOS16に基準電流 I_{11} が流入すると、負荷である入力段12と出力段13とには、それぞれ定電流 I_{12} , I_{13} が電源ラインLから流入する。

(3)

特開平7-273558

3

【0009】オペアンプ11の入力段12は、対をなすNMOS19とNMOS20とによって差動増幅回路21が形成され、NMOS19、20のゲートは、反転入力端子22と非反転入力端子23とにそれぞれ接続されている。入力段12に流れる定電流I12は、反転入力端子22と非反転入力端子23とに印加される入力信号に関係なく一定である。また、出力段13に流れる定電流I13も、入力段12からの入力される信号に関係なく一定である。したがって従来技術によるオペアンプ11では、電源ラインLに電源電圧Vddが印加されている間は、不動作時でも常に電流I11+I12+I13が流れることになる。

【0010】図11ではオペアンプ11の定電流回路部は複数のNMOSで構成されているけれども、図12に示されるように、PMOSでオペアンプ31を構成してもよい。オペアンプ31は、前記文献P. 317に記載されている。

【0011】オペアンプ31は、入力段32と、出力段33と、カレントミラー回路34とを含み、これらの回路ブロックは図示しない共通基板上に一体的にモノリシ

ック形成される。カレントミラー回路34は、基準電流側のPMOS36と、カレントミラーのPMOS37、38とを含んで形成され、PMOS36のドレインには図示しない抵抗などで実現される基準電流源35が接続されている。これによってPMOS36に基準電流I31が流入すると、負荷である入力段12と出力段13とには、定電流I32、I33が電源ラインLから流入する。

【0012】オペアンプ31の入力段32は、対をなすPMOS39とPMOS40とによって差動増幅回路41が形成され、PMOS39、40のゲートは、反転入力端子42と非反転入力端子43とにそれぞれ接続されている。入力段32に流れる前記定電流I32は、反転入力端子42と非反転入力端子43とに印加される入力信号に関係なく一定である。また、出力段33に流れる定電流I33も、入力段32からの入力信号に関係なく一定である。したがって従来技術によるオペアンプ31では、電源ラインLに電源電圧Vddが印加されている間は、不動作時でも常に電流I31+I32+I33が流れることになる。

【0013】近時は、電池を用いて屋外で使用される携帯型機器が増え、それに伴って機器の小形化軽量化とともに、長時間使用の要求が強まっている。機器の使用時間を延ばして電池寿命を長くするには、消費電力を低減させる以外になく、たとえば機器を動作させないときの電力消費を極力抑えなくてはならない。そのために、不動作時には回路を電源断とする構成が提案されている。

【0014】図13は、従来技術による半導体集積回路1の電源断を実現する構成を示す回路図である。従来技術では、図13に示されるように、電源ラインLと、半

4

導体集積回路1との間に直列にスイッチSが接続され、制御信号ContによってスイッチSの開閉が制御される。スイッチSにはアナログスイッチ回路が使用される。スイッチSが開かれると基準電流I2が断たれるので、カレントミラーのNMOS3を流れる定電流I3も断たれて、半導体集積回路1の電力消費が0になる。

【0015】図14は、半導体集積回路の電源断に使用されるアナログスイッチ回路51の構成例を示す回路図である。アナログスイッチ回路51は、図14(a)に示されるように、互いに逆極性のPMOS52およびNMOS53と、インバータ54とを含む。PMOS52およびNMOS53のドレインおよびソースは、それぞれスイッチ端子56、57とにそれぞれ共通に接続されている。NMOS53のゲートは制御端子55に接続され、NMOS53のゲートとPMOS52のゲート間には、インバータ54が接続されている。

【0016】制御端子55に与えられる制御信号Contのレベルがハイレベル（以下、「H」と記すこともある）のとき、PMOS52とNMOS53とはともに導通して、スイッチ端子56、57間が閉成され、制御信号Contがローレベル（以下、「L」と記すこともある）のときはともに遮断されて、スイッチ端子56、57間は開放される。したがってスイッチ端子56、57を前掲図13の電源ラインLと半導体集積回路1とにそれぞれ接続して、制御信号Contでアナログスイッチ回路51の導通遮断を制御することによって、半導体集積回路1に流れる電流を0とすることができ、これによって消費電力の低減化が図られている。

【0017】

【発明が解決しようとする課題】しかしながら、前述の従来技術によるアナログスイッチ回路51は、図14

(b)の等価回路で示されるように、導通時のスイッチ端子56、57間のオン抵抗Ronが比較的大きく、前掲図13のように電源ラインLと半導体集積回路1の間に直列に接続されると、回路の消費電流および基準電流I2と、前記オン抵抗Ronとによる電圧降下が生じ、このため回路に供給される電源電圧が低下したり、電流が制約されるなどの不具合が生じて、半導体集積回路を組み込んだ回路や回路を組み込んだ機器の性能が劣化する。

【0018】このような不具合を避けるためにオン抵抗Ronの抵抗値を下げようとするれば、基板上でのアナログスイッチ回路51の占有面積が増大して、小形化の要求に反する結果となってしまう。また近時、特に屋外使用の携帯用機器などでは、電池寿命を延ばすために、電源電圧が引下げられる傾向にあるが、オン抵抗Ronが比較的高いアナログスイッチ回路51では、電圧降下分だけ内部回路の電源電圧が低くなってしまうという問題点がある。このように従来技術では、性能劣化を招くことなく、半導体集積回路やオペアンプの不動作時の電流

5

消費を低減させることは困難である。したがって回路の不動作時には電流を流さないで電力消費を低減させる半導体集積回路が所望されている。

【0019】本発明の目的は、回路の性能になんら影響を与えることなく、不動作時には電流を遮断して、電力消費を低減させることができる半導体集積回路を提供することである。

【0020】

【課題を解決するための手段】本発明は、単一の半導体基板上に、NチャンネルFET (Field Effect Transistor) のゲート電極にバイアス電圧を入力することによって前記FETのドレイン電極から定電流を出力する定電流回路と、前記バイアス電圧を接地電位に短絡させるスイッチとを形成することを特徴とする半導体集積回路である。

【0021】また本発明は、単一の半導体基板上に、PチャンネルFETのゲート電極にバイアス電圧を入力することによって前記FETのドレイン電極から定電流を出力する定電流回路と、前記バイアス電圧を電源電位に短絡させるスイッチとを形成することを特徴とする。

【0022】また本発明は、単一の半導体基板上に、MOSオペアンプ回路を形成し、該MOSオペアンプ回路は、NチャンネルFETのゲート電極にバイアス電圧を入力することによって前記FETのドレイン電極から定電流を出力する定電流回路と、前記バイアス電圧を接地電位に短絡させるスイッチとを含むことを特徴とする。

【0023】さらに本発明は、単一の半導体基板上に、MOSオペアンプ回路を形成し、該MOSオペアンプ回路は、PチャンネルFETのゲート電極にバイアス電圧を入力することによって前記FETのドレイン電極から定電流を出力する定電流回路と、前記バイアス電圧を電源電位に短絡させるスイッチとを含むことを特徴とする。

【0024】さらにまた本発明は、予め定めるプログラム命令を記憶する記憶手段と、前記プログラム命令を順次実行する制御手段とを備え、前記制御手段は、前記プログラム命令に基づいて前記スイッチを導通／遮断する制御信号を出力することを特徴とする。

【0025】

【作用】本発明に従う半導体集積回路は、単一の半導体基板上に、NチャンネルFETまたはPチャンネルFETのゲート電極にバイアス電圧を入力することによって該FETのドレイン電極から定電流を出力する定電流回路を形成し、バイアス電圧を接地電位または電源電位に短絡させるスイッチを有し、スイッチによって前記定電流回路のオン／オフが制御される。

【0026】また本発明に従う半導体集積回路は、単一の半導体基板上に、前記定電流回路と、スイッチを含むMOSオペアンプ回路が形成される。前記スイッチによって、当該MOSオペアンプのオン／オフが制御され

(4)

特開平7-273558

6

る。

【0027】さらに本発明に従う半導体集積回路は、予め定めるプログラム命令を記憶する記憶手段と、前記プログラム命令に基づき前記スイッチを導通／遮断する制御信号を出力する制御手段とを有する。これによって集積回路内に一体的に形成される複数のオペアンプなどのオン／オフをプログラム制御によって制御することができる。

【0028】

【実施例】図1は、本発明の一実施例である半導体集積回路61の電気的構成を示す回路図である。半導体集積回路61は、対をなすNMOS62、63と、第1スイッチ回路64と、第2スイッチ回路65とを含んで形成される。NMOS62、63の各ゲートはバイアスラインBに共通に接続され、各ソースは接地ラインGに共通に接続されている。一方のNMOS62のドレインは図示しない抵抗などで実現される基準電流源66に接続され、他方のNMOS63のドレインは定電流出力端子67に接続されている。

【0029】第1スイッチ回路64は、アナログスイッチ回路で実現され、互いに逆極性のNMOS68、PMOS69と、NMOS68、PMOS69のゲート間に介在されるインバータ70とを含んで形成されている。第2スイッチ回路65はNMOS71で形成される。第1スイッチ回路64のスイッチ端子72、73は、NMOS62のドレインとバイアスラインB間に接続され、第2スイッチ回路65のスイッチ端子75、76はバイアスラインBと接地ラインG間に接続されている。また第1スイッチ回路の制御端子74と第2スイッチ回路65の制御端子77とは、制御入力端子78に共通に接続され、外部から入力される制御信号Contによって制御される。

【0030】制御信号ContのレベルがLのときは、第1スイッチ回路64を構成するNMOS68とPMOS69はともに導通し、スイッチ端子72－スイッチ端子73間が閉成される。同時に第2スイッチ回路65のNMOS71が遮断されてスイッチ端子75－スイッチ端子76間は開放される。また逆に制御信号ContがHのときは、第1スイッチ回路64のスイッチ端子72、73間は開放され、第2スイッチ回路65のスイッチ端子75、76間が閉成される。

【0031】したがって制御信号ContのレベルがLのときは、基準電流源66側のNMOS62のドレインとゲート間が接続され、バイアスラインBと接地ラインG間は開放される。これによってNMOS62、63によるカレントミラー回路が形成され、基準電流源66側のNMOS62は能動化されて基準電流I61が流れ、カレントミラーのNMOS63のドレインに接続されている定電流出力端子67からは定電流I62が流入する。定電流I62と基準電流I61の電流比は、NMO

(5)

特開平7-273558

7

S62とNMOS63のそれぞれのゲート幅と長さのサイズ比によって定められる。また第2スイッチ回路65は、第1スイッチ回路64の閉成時と開放時の電流の回り込みを防止するために設けられている。

【0032】制御信号ContがHのときは、NMOS62のドレインーバイアスラインB間が開放され、バイアスラインBと接地ラインG間が接続される。このためバイアスラインBのレベルは接地電位となって、NMOS62, 63はともに非能動化されて遮断状態となる。したがって基準電流I62も定電流I63も流れなくなり、半導体集積回路61を動作させないときは電力消費が0となる。

【0033】本発明において注目すべきは、第1スイッチ回路64をNMOS62のドレインとバイアスラインB間に接続し、第2スイッチ回路65をバイアスラインBと接地ラインG間に接続していることである。第1スイッチ回路64を形成するアナログスイッチ回路は、前述のようにオン抵抗Ronの抵抗値が比較的大きいため、電流経路に挿入する場合には電圧降下が問題となるのであるが、本実施例ではNMOS62のゲート側に接続されているため、基準電流I62はなんら影響されない。また第1スイッチ回路64にも電流は流れない。したがって従来技術で述べられているような問題点が解消されるのである。

【0034】前述の実施例では、半導体集積回路61はNMOS62, 63によるカレントミラー回路で形成されているが、図2に示されるように、PMOSを用いて半導体集積回路81が構成されるようにしてもよい。図2に示される半導体集積回路81は、対をなすPMOS82, 83と、第1スイッチ回路84と、第2スイッチ回路85とを含んで形成される。PMOS82, 83の各ゲートはバイアスラインBに共通に接続され、各ソースは電源ラインLに共通に接続されている。一方のPMOS82のドレインは、図示しない抵抗などで実現される基準電流源86を介して接地ラインGに接続され、他方のNMOS63のドレインは定電流出力端子87に接続されている。

【0035】第1スイッチ回路84は、アナログスイッチ回路で実現され、互いに逆極性のPMOS88, NMOS89と、PMOS88, NMOS89のゲート間に介在されるインバータ90とを含んで形成される。第2スイッチ回路85はPMOS91で形成される。第1スイッチ回路84のスイッチ端子92, 93は、PMOS82のドレインとバイアスラインB間に接続され、第2スイッチ回路85のスイッチ端子95, 96はバイアスラインBと電源ラインL間に接続されている。また第1スイッチ回路84の制御端子94と第2スイッチ回路85の制御端子97とは、制御入力端子78に共通に接続され、外部から入力される制御信号Contによって制御される。

8

【0036】制御信号ContのレベルがHのときは、第1スイッチ回路84を構成するPMOS88とNMOS89はともに導通し、スイッチ端子92ースイッチ端子93間が閉成される。同時に第2スイッチ回路85のPMOS91が遮断されてスイッチ端子95ースイッチ端子96間は開放される。また逆に制御信号ContがLのときは、第1スイッチ回路84のスイッチ端子92, 93間は開放され、第2スイッチ回路85のスイッチ端子95, 96間が閉成される。

【0037】したがって制御信号ContのレベルがHのときは、基準電流源86側のPMOS82のドレインとゲート間が接続され、バイアスラインBと電源ラインL間は開放される。これによってPMOS82, 83によるカレントミラー回路が形成され、基準電流源86側のPMOS82は能動化されて基準電流I82が流れ、カレントミラーのPMOS83のドレインに接続されている定電流出力端子87に定電流I83が流入する。定電流出力端子87と接地ラインG間には図示しないオペアンプなどの負荷が接続される。定電流I83と基準電流I82の電流比は、PMOS82とPMOS83のそれぞれのゲート幅と長さのサイズ比によって定められる。また第2スイッチ回路85は、第1スイッチ回路84の閉成時と開放時の電流の回り込みを防止するために設けられている。

【0038】制御信号ContがLのときは、PMOS82のドレインーバイアスラインB間が開放され、バイアスラインBと電源ラインL間が接続される。このためバイアスラインBのレベルは電源電圧Vddと等しくなると、PMOS82, 83はともに非能動化されて遮断状態となる。したがって定電流回路81を動作させないときは、基準電流I82も定電流I83も流れなくなり、電力消費は0となる。

【0039】前述の実施例では、半導体集積回路61, 81には、いずれも一对のNMOS62, 63あるいはPMOS82, 83で形成されるカレントミラー回路が組込まれているが、図3や図4に示される多段構成のカレントミラー回路にも実施することができる。

【0040】図3は、本発明の他の実施例を示す回路図である。半導体集積回路601は、一对のNMOS602, 603と一对のNMOS604, 605とから成る2つのカレントミラー回路をカスケード接続して形成される。基準電流源606は、電源ラインLと上段のNMOS602のドレイン間に接続され、基準電流源606側に接続されている上段のNMOS602のソースと下段のNMOS604のドレインとの接続点は、第1スイッチング回路64aを介して第2バイアスラインB2に接続されている。また第2バイアスラインB2と接地ラインGの間には、第2スイッチング回路65aが接続されている。これら2つのスイッチング回路64a, 65aは、前掲図1に示されている第1スイッチング回路6

9

4および第2スイッチング回路65と同一の回路構成のため、図3では等価的に接点のみが示されている。

【0041】第1スイッチング回路64aと第2スイッチング回路65aは、入力される制御信号Contによって一方がONのとき他方がOFFするように、たがいに反対の動作を行う。半導体集積回路601を動作させる際には、Lレベルの制御信号Contを与えることによって、第1スイッチング回路64aは閉成し、第2スイッチング回路65aは開放する。これによって下段のNMOS602のドレインゲート間が接続され、第2

バイアスラインB2にバイアスレベルが印加される。半導体集積回路601は能動化され、NMOS603のドレインに接続されている定電流端子607には定電流I603が流入する。

【0042】Hレベルの制御信号Contが入力されると、第1スイッチング回路64aと第2スイッチング回路65aは前記とは反対に動作し、NMOS602のドレインゲート間は遮断され、第2バイアスラインB2と接地ラインG間が短絡される。したがって半導体集積回路601は非能動化され、定電流I603は遮断される。図3では、半導体集積回路601を各一對のNMOSで形成しているけれども、たとえば前掲図1に対する図2のように、半導体集積回路601をPMOSで構成するようにしてもよい。

【0043】図4は、本発明の他の実施例を示す回路図である。図4ではいわゆるウィルソン型と称せられる定電流回路を、本発明による半導体集積回路700で実現する実施例が示されている。2個のNMOS701、702のソースとドレインが直列に接続されて定電流I701の出力経路が形成され、前記ソースとドレインの接続点と第2バイアスラインB2間には、第1スイッチング回路64aが接続され、第2バイアスラインB2と接地ラインG間には第2スイッチング回路65aが接続されている。これら2つのスイッチング回路64a、65aは、前掲図1に示されている第1スイッチング回路64および第2スイッチング回路65と同一の回路構成のため、図3では等価的に接点のみが示されている。第1スイッチング回路64aと第2スイッチング回路65aは、入力される制御信号Contによって一方がONのとき他方がOFFするように、互いに反対の動作を行う。

【0044】電源ラインLとNMOS703のドレイン間には基準電流源704が接続され、NMOS703のドレインとNMOS701のゲートとは、第1バイアスラインB1でたがいに接続されている。またNMOS703とNMOS702のゲートとは第2バイアスラインB2で互いに接続されている。半導体集積回路700を動作させる際には、Lレベルの制御信号Contを与えることによって、第1スイッチング回路64aは閉成し、第2スイッチング回路65aは開放する。これによ

(6)

特開平7-273558

10

って下段のNMOS702のドレインゲート間が接続され、第2バイアスラインB2にバイアスレベルが印加される。半導体集積回路700は能動化し、上段のNMOS701のドレインに接続されている定電流端子705には定電流I701が流入する。

【0045】Hレベルの制御信号Contが入力されると、第1スイッチング回路64aと第2スイッチング回路65aは前記とは反対に動作し、NMOS702のドレインゲート間は遮断され、第2バイアスラインB2と接地ラインG間が短絡される。したがって半導体集積回路700は非能動化され、定電流I701は遮断される。なお図4では、半導体集積回路700を各一對のNMOSで形成しているけれども、たとえば前掲図1に対する図2のように、半導体集積回路700をPMOSで構成するようにしてもよい。

【0046】図5は、本発明の他の実施例の電氣的構成を示す回路図である。図5では、本発明による半導体集積回路111がオペアンプ101に用いられている例が示されている。オペアンプ101は、半導体集積回路111と、差動増幅回路131と、出力回路151とを含んで形成され、これらの回路ブロックはいずれも共通基板上に一体的にモノリシック形成される。

【0047】半導体集積回路111は、前掲図1に示されている半導体集積回路61に類似し、とくに回路中の第1スイッチ回路64と第2スイッチ回路65とは、図1図示のものと同一の構成のため同一の参照符を付してある。半導体集積回路111は、3個のNMOS112、113、114と、第1スイッチ回路64と、第2スイッチ回路65とを含んで構成される。後述するように、第1スイッチ回路64が閉成され、第2スイッチ回路65が開放されるときは、カレントミラー回路が形成される。NMOS112のドレインには図示しない抵抗などで実現される基準電流源117が接続され、カレントミラーを形成するNMOS113、114には、負荷である差動増幅回路131と出力回路151の電流帰路とが接続されている。

【0048】差動増幅回路131は、対をなすNMOS132、133によって、反転入力端子137と非反転入力端子138とを備える差動増幅器134が形成されている。電源ラインLと差動増幅器134との間には、PMOS135、136で形成される定電流源が接続され、NMOS132、133の各ソースは、第1カレントミラーのNMOS113のドレインに共通に接続されている。

【0049】出力回路151を形成するPMOS152のドレインは電源ラインLに接続され、ソースは第2カレントミラーのNMOS114のドレインと、出力端子154とに接続されている。PMOS152のゲートソース間に接続されているコンデンサ153は発振防止用である。

(7)

特開平7-273558

11

【0050】半導体集積回路111には、制御入力端子122が設けられ、外部から入力される制御信号Contによって、第1スイッチ回路64と第2スイッチ回路65とが駆動される。

【0051】制御信号ContのレベルがLのときは、第1スイッチ回路64のNMOS68とPMOS69はともに導通し、スイッチ端子72-スイッチ端子73間が閉成される。同時に第2スイッチ回路65のNMOS71が遮断されてスイッチ端子75-スイッチ端子76間は開放される。また逆に制御信号ContがHのときは、第1スイッチ回路64のスイッチ端子72、73間は開放され、第2スイッチ回路65のスイッチ端子75、76間が閉成される。

【0052】したがって制御信号ContがLのときは、基準電流源117側のNMOS112のドレインとゲート間が接続され、バイアスラインBと接地ラインG間は開放される。これによってNMOS112~114によるカレントミラー回路が形成される。第1カレントミラーのNMOS113と、第2カレントミラーのNMOS114のゲートはNMOS112のゲートと同電位になって、NMOS112に基準電流I112が流れるとともに、差動増幅回路131と出力回路151にはそれぞれ定電流I113、I114が流れ、オペアンプ101は動作状態となる。第1スイッチ回路64は、NMOS62のゲートに接続されているため、動作時の基準電流I112は、第1スイッチ回路64のオン抵抗の影響を受けず、電圧降下の不具合も生じない。したがって第1スイッチ回路64と第2スイッチ回路65はオペアンプ101の動作になんらの影響も与えない。

【0053】一方これとは逆に、制御信号ContのレベルがHのときには、第1スイッチ回路64は開放され、第2スイッチ回路65は閉成されるから、基準電流源117側のNMOS112は非能動化される。このため規準電流I112が流れず、したがって第1カレントミラーのNMOS113と第2カレントミラーのNMOS114とは定電流I113、I114が流れなくなるから、オペアンプ101は動作を停止する。したがってオペアンプ101の動作停止中は電力消費が0となり、消費電力の低減化が図られることになる。

【0054】前述の実施例では、半導体集積回路111は複数のNMOSで構成されているが、複数のPMOSで半導体集積回路171を構成して、オペアンプ161に内蔵する実施例が図6に示されている。オペアンプ161は、半導体集積回路171と、差動増幅回路191と、出力回路201とを含んで形成され、これらの回路ブロックはいずれも共通基板上に一体的にモノリシック形成される。

【0055】半導体集積回路171は、3個のPMOS172、173、174と、第1スイッチ回路84と、第2スイッチ回路85とで構成されている。本実施例に

12

よる半導体集積回路171は、前掲図2に示されている半導体集積回路81に類似し、とくに回路中の第1スイッチ回路84と第2スイッチ回路85とは、図2に示されているものと同一の構成のため、同一の参照符を付してある。第1スイッチ回路84が閉成され、第2スイッチ回路85が開放されるときは、カレントミラー回路が形成される。PMOS172のドレインと接地ラインG間には、図示しない抵抗などで実現される基準電流源177が接続され、カレントミラーを形成するPMOS173、174は、負荷である差動増幅回路191と出力回路201とにそれぞれ接続されている。

【0056】差動増幅回路191は、対をなすPMOS192、193によって、非反転入力端子197と反転入力端子198とを備える差動増幅器194が形成されている。接地ラインGと差動増幅器194との間には、NMOS195、196で形成される定電流源が接続され、PMOS192、193の各ソースは、第1カレントミラーのPMOS173のドレインに共通に接続されている。

【0057】出力回路201を形成するNMOS202のドレインは接地ラインGに接続され、ソースは第2カレントミラーのPMOS174のドレインと、出力端子204とに接続されている。NMOS202のゲート-ソース間に接続されているコンデンサ203は発振防止用である。

【0058】半導体集積回路171には、制御入力端子182が設けられ、外部から入力される制御信号Contによって、第1スイッチ回路84と第2スイッチ回路85とが駆動される。

【0059】制御信号ContのレベルがHのときは、第1スイッチ回路84のPMOS88とNMOS89とはともに導通し、スイッチ端子92-93間が閉成される。同時に第2スイッチ回路85のPMOS91が遮断されてスイッチ端子95-96間は開放される。また逆に制御信号ContがLのときは、第1スイッチ回路84のスイッチ端子92、93間は開放され、第2スイッチ回路85のスイッチ端子95、96間が閉成される。

【0060】したがって制御信号ContがHのときは、基準電流源177側のPMOS172のドレインとゲート間が接続され、バイアスラインBと電源ラインL間は開放される。これによってPMOS172~174によるカレントミラー回路が形成される。第1カレントミラーのPMOS173と、第2カレントミラーのPMOS174のゲートは基準電流源177側のPMOS172のゲートと同電位になって、PMOS172に基準電流I172が流れるとともに、差動増幅回路191と出力回路201にはそれぞれ定電流I173とI174が流れ、オペアンプ161は動作状態となる。第1スイッチ回路84は、PMOS82のゲートに接続されているため、動作時の基準電流I172は、第1スイッチ回路

13

84のオン抵抗の影響を受けず、電圧降下の不具合も生じない。したがって第1スイッチ回路84と第2スイッチ回路85は、オペアンプ161の動作になんらの影響も与えない。

【0061】一方これとは逆に、制御信号ContのレベルがLのときには、第1スイッチ回路84は開放され、第2スイッチ回路85は閉成されるから、基準電流源177側のPMOS172は非能動化される。このため規準電流I172が流れず、したがって第1カレントミラーのPMOS173と第2カレントミラーのPMOS174には定電流I173、I174が流れなくなるから、オペアンプ161は動作を停止し、消費電力は0となる。したがって本実施例においても同様に、消費電力の低減化が図られるのである。

【0062】このように、本発明による半導体集積回路を使用することによって、回路や装置を動作させないときには半導体集積回路に電流を流さず、したがって電力消費を格段に低減させることができ、屋外で使用される携帯用機器の電池の長寿命化などを図ることができるのである。また本発明による半導体集積回路は、動作と不動作とを制御信号によって制御できるため、外部からのプログラム制御が可能となり、複数の半導体集積回路を制御することができる。

【0063】図7は、本発明のさらに他の実施例を示すブロック図である。図7には複数（本実施例では2個）のオペアンプ301、302および定電流回路303を、それぞれ制御信号Cont1、Cont2、Cont3によって、個別的に制御する制御システム501が例示されている。オペアンプ301、302には、いずれも図示しない半導体集積回路が内蔵され、オペアンプ301、302に与えられる制御信号Cont1、Cont2によってこれらの半導体集積回路がON/OFFされ、オペアンプ301、302の動作・不動作が制御される。なおシステムを構成するオペアンプや半導体集積回路などは図示の数に限定されるものではない。

【0064】制御システム501は、CPU（中央処理装置）502と、プログラムROM（リードオンリメモリ）503と、入出力ポート504と、レジスタ505とを含んで構成され、前記各ブロックはデータバスライン506で相互に接続されている。プログラムROM503には、前記複数のオペアンプ301、302や定電流回路303の動作・不動作を管理するプログラムが予めストアされている。

【0065】ここで入出力ポート504に、定められた信号を与えることによって、プログラムROM503にストアされている動作プログラムが読出され、プログラムに従ってCPU502が制御信号のH、Lをレジスタ505に記憶させ、制御信号Cont1、Cont2、Cont3を対応するオペアンプ301、302あるいは定電流回路303に入力する。これによって複数のオ

(8)

特開平7-273558

14

ペアンプや半導体集積回路を必要に応じて動作させ、あるいは動作を停止させることができる。したがって多数の回路で構成されるシステムの電力消費を著しく低減させることができるのである。

【0066】図8は、本発明による半導体集積回路61の電極構造例を示す断面図である。図8において、前掲図1に示されている半導体集積回路61と対応する部分には同一の参照符を付してある。P型基板601上には、カレントミラー回路のNMOS62、63、第1スイッチ回路64のNMOS68、PMOS69および第2スイッチ回路65のNMOS71が、インバータ70とともにモノリシック形成されるものである。第1スイッチ回路64の一方のPMOS69は、他とは逆極性のためにNウェル拡散によって形成される絶縁領域のNウェル層610内に生成される。

【0067】P型基板601上にシリコン酸化膜620が形成され、各トランジスタのドレイン、ソース領域がパターンニングされて、イオン注入や熱拡散などのプロセスによって、N拡散領域602～609と、P拡散領域611、612とが生成される。一方のN型拡散領域602、604、606、608およびP型拡散領域611は、それぞれ前記NMOS62、63、68、71およびPMOS69の各ドレイン領域を形成し、他方のN型拡散領域603、605、607、609およびP型拡散領域612は、それぞれ各ソース領域を形成する。

【0068】次いで各ゲート電極g1～g5が、ゲート窓開けやゲート酸化などのプロセスによって形成され、さらに前記ドレイン領域602、604、606、608および611と、ソース領域603、605、607、609および612とにコンタクト窓開けによってコンタクトホールが形成され、アルミニウムなどの金属蒸着膜などで被覆される。その後、ホトエッチングなどによってドレイン電極d1～d5と、ソース電極s1～s5とが形成されるとともに、電極相互間が相互に接続され、電源ラインL、接地ラインG、バイアスラインBおよび制御入力端子78などが形成される。図8では定電流出力端子67が単独に引き出されているが、たとえば前掲図5に示されるように、オペアンプ101などに内蔵される場合には、内部配線によって所望の電極に接続されるものである。また基準電流源66も基板601上に形成され、一端がNMOS62のドレイン電極d1に、他端が前記電源ラインLに接続されるものである。

【0069】このようにして、半導体集積回路61の動作を制御する第1スイッチ回路64と、第2スイッチ回路65とが、共通の基板601上に一体的にモノリシック形成される。すでに述べたように、第1スイッチ回路64はNMOS62のドレインーソース間に接続されるもので、電流経路に挿入されるものではないから、電力を消費せず発熱もない。このため基板601上での占有面積も僅かで済む。したがって本発明による半導体集積

15

回路61を内蔵させることによって、オペアンプなどを小形化することができる。

【0070】本発明は、前述の説明の範囲に限定されるものではなく、特許請求の範囲を逸脱しない限りにおいて種々の変形が許されることは勿論である。

【0071】

【発明の効果】以上のように本発明によれば、単一の半導体基板上に、NチャンネルFETまたはPチャンネルFETのゲート電極にバイアス電圧を入力することによって該FETのドレイン電極から定電流を出力する定電流回路を形成し、さらに、バイアス電圧を接地電位に短絡させるスイッチを有する。前記スイッチの動作は電力消費をともしないから、当該半導体集積回路のオン/オフを電力消費なしに行うことができる。

【0072】また前記構成の半導体集積回路を、MOSオペアンプの定電流源回路とすることによって、当該MOSオペアンプのオン/オフを電力消費なしに行うことができる。しかも前記スイッチはオペアンプの定電流経路中には挿入されないから、無用な電圧降下は発生しない。これによって低電圧駆動が要求されるオペアンプなどに好適に実施することができる。

【0073】さらに本発明による半導体集積回路は、予め定めるプログラム命令を記憶するメモリ装置と、前記プログラム命令に基づきスイッチを導通/遮断する制御信号を順次出力する制御手段とを有するので、集積回路内に一体的に形成される複数のオペアンプなどのオン/オフをプログラムに基づいて任意にしかも電力消費なしに行うことができる。このため多数のオペアンプが使用される半導体集積回路などにも好適に実施され、電力消費の低減化を一層促進することができ、産業上の効果大なるものである。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路61の構成を示す回路図である。

【図2】本発明の他の実施例である半導体集積回路81の構成を示す回路図である。

【図3】本発明のさらに他の実施例である半導体集積回

(9)

特開平7-273558

16

路601の構成を示す回路図である。

【図4】本発明の他の実施例である半導体集積回路701の構成を示す回路図である。

【図5】本発明による半導体集積回路111をオペアンプ101に用いた例を示す回路図である。

【図6】本発明による半導体集積回路171をオペアンプ161に用いた例を示す回路図である。

【図7】本発明のさらに他の実施例である制御システム501の構成を示すブロック図である。

【図8】半導体集積回路61の電極構造を示す断面図である。

【図9】従来技術による定電流回路1の構成を示す回路図である。

【図10】他の従来技術による定電流回路6の構成を示す回路図である。

【図11】従来技術による定電流回路14をオペアンプ11に用いた例を示す回路図である。

【図12】従来技術による定電流回路32をオペアンプ31に用いた例を示す回路図である。

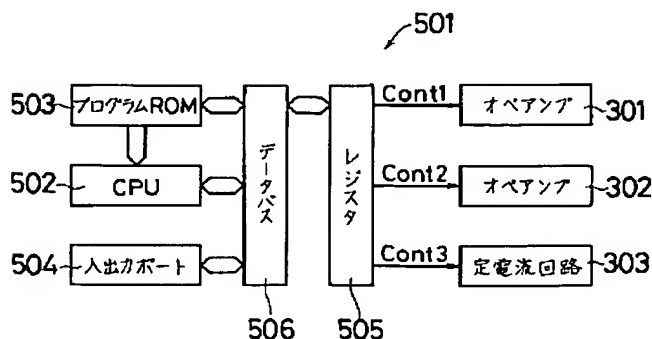
【図13】従来技術による定電流回路の不動作時における電源断を実現する構成を示す回路図である。

【図14】定電流回路の電源断に使用されるアナログスイッチ回路51の構造を示す回路図である。

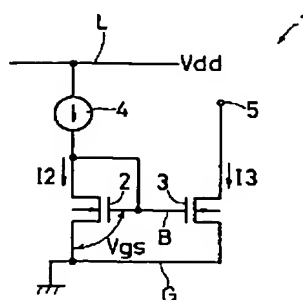
【符号の説明】

61, 81, 111, 171 半導体集積回路
62, 63, 65, 68 NチャンネルMOSFET (NMOS)
69 PチャンネルMOSFET (PMOS)
64, 84 第1スイッチ回路
65, 85 第2スイッチ回路
101, 161 オペアンプ
134, 194 差動増幅器
151, 201 出力回路
501 制御システム
502 CPU (中央処理装置)
505 レジスタ
Cont 制御信号

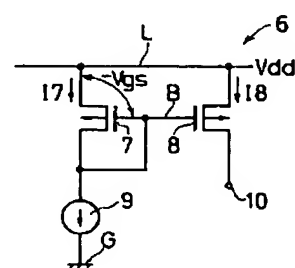
【図7】



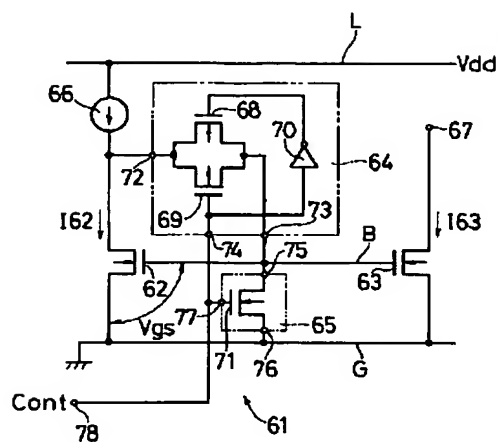
【図9】



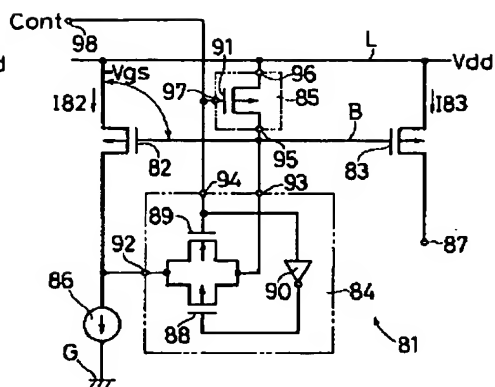
【図10】



【図1】

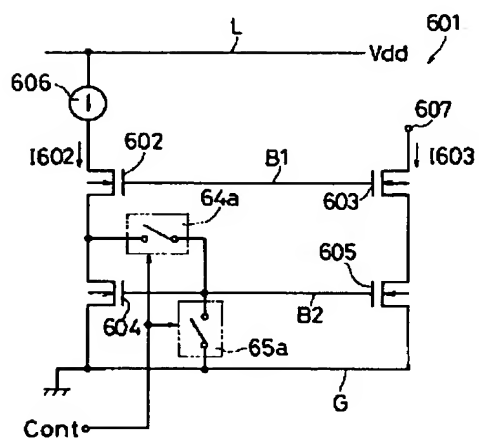


【図2】

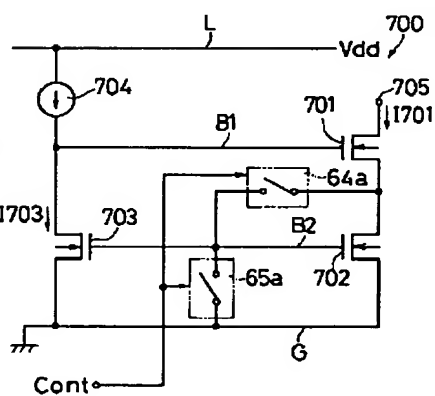


【図13】

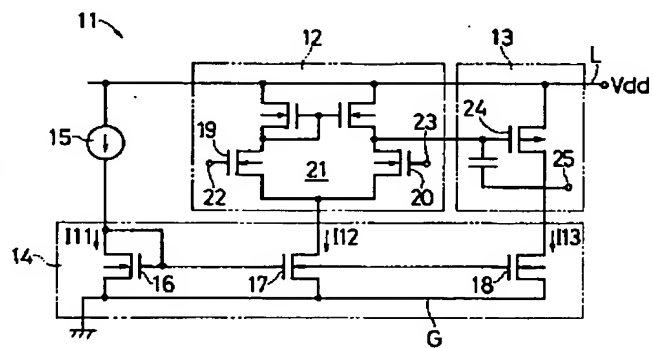
【図3】



【図4】



【図11】



【図5】

